

PICTURE PROCESSING UNIT

Patent Number: JP5199398

Publication date: 1993-08-06

Inventor(s): ENDO MAKOTO

Applicant(s):: CANON INC

Requested Patent: ☐ JP5199398

Application Number: JP19910076193 19910409

Priority Number(s):

IPC Classification: H04N1/38 ; G06F15/66 ; G06F15/70 ; H04N1/00 ; H04N1/04

EC Classification:

Equivalents: JP3021073B2

Abstract

PURPOSE:To improve the picture quality of an output picture and to make the size and position of the picture clear by deleting a nonrectangular frame to a picture signal automatically and forming a frame simultaneously.

CONSTITUTION:The processing unit is provided with a line sensor 13 receiving a picture and a power supply representing its surrounding, a frame detection circuit 24 detecting a border between the picture and the surrounding based on the inputted picture signal and a picture processing circuit 26 converting a power supply at the outside of the detected border into a specific signal and generating a picture signal representing a frame corresponding to the border.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-199398

(43)公開日 平成5年(1993)8月6日

(51)IntCl ^s	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/38		4226-5C		
G 0 6 F 15/66	4 7 0 A	8420-5L		
15/70	3 3 0 L	9071-5L		
H 0 4 N 1/00		G 7046-5C		
1/04	1 0 7 B	7251-5C		

審査請求 未請求 請求項の数1(全 17 頁)

(21)出願番号 特願平3-76193

(22)出願日 平成3年(1991)4月9日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 遠藤 誠

東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

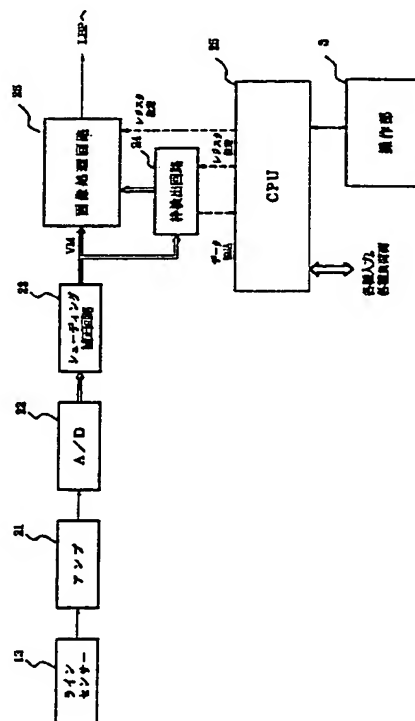
(74)代理人 弁理士 丸島 儀一

(54)【発明の名称】 画像処理装置

(57)【要約】

【目的】 画像信号に対して自動非矩形枠消しを行なうと同時に枠を作ることにより、その出力画像の画像品位を上げるとともに、画像の大きさ及び位置を明確化する。

【構成】 画像及びその周辺部を表わす画像信号を入力するラインセンサー13と、入力された画像信号に基づいて画像と周辺部との境界を検出する枠検出回路24と、検出された境界の外側の画像信号を特定信号に変換するとともに、境界に対応して枠を表わす画信号を形成する画像処理回路26とを有する。



【特許請求の範囲】

【請求項1】 画像及びその周辺部を表わす画像信号を入力する入力手段と、

前記入力手段から入力された画像信号に基づいて前記画像と前記周辺部との境界を検出する検出手段と、

前記検出手段によって検出された前記境界の外側の画像信号を特定信号に変換する変換手段と、

前記検出手段によって検出された前記境界に対応して枠を表わす画信号を形成する形成手段とを有することを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は画像処理方法、特に画像の周辺部に枠のある画像信号を処理する画像処理方法に関する。

【0002】

【従来の技術】 従来、ネガ画像を有するマイクロフィルムは、図28(A)のように、マイクロフィルムFのコマf内にネガ画像が記録されており、各コマfの周辺が透明になっている。このマイクロフィルムFをネガポジ反転の情報記録装置でプリントアウトすると、コマfの周辺の透明部分が現像される。その結果、転写材Pには図28(b)に示すように、画像領域Gの周囲にベタ黒状の枠Bがプリントされ、プリント画像の美観を損ねるだけでなく、トナー消費量を増大させるという問題があった。

【0003】 そこで、上記の問題を解決するため、マイクロフィルムFの画像コマfの領域を検知し、該画像領域に基づいて決定される領域を基準として、転写材Pに記録する領域を制御することにより図28(c)の様に枠部のないプリントを得るようにした情報記録装置が提案されている。

【0004】 この装置では、画像走査時の画像読取情報を所定の閾値にて二値化し、RAM等のメモリに記憶する。この情報は例えば図29のようになっており、ここで図中の L_1 、 L_2 はそれぞれ転写紙Pの横、縦の長さに対応している。

【0005】 そして、CPU等の演算回路はRAM内のデータの 1_i のビット列から順に、その1列が全て0か或いは1を含んでいるかの判断を行ない、1列が全て0の場合は、この判断を 1_1 、 1_2 、 1_3 …と順次繰返す。そして最初に1を含む列 1_n を発見した時点で（図示例では 1_5 ）、CPUは画像記録領域の値 L_r をnとする。

【0006】 更に、上記の動作を画像領域Gの左端及び上下両端において同様に行ない、画像記録領域 1_u 、 1_v 、 1_w を決定する。

【0007】

【発明が解決しようとする課題】 しかしながら、上記従来例では、以下の様な欠点があった。

【0008】 ①全画像域の画像情報を記憶するためのR

AMが必要なため、大容量のRAMを必要とするため、装置が高価なものとなり、大型化してしまう。

【0009】 また、一担メモリに画像情報を記憶する必要があるため、処理時間がかかってしまう。

【0010】 ②矩形での枠消しか行なえないため、図30(A)に示す如く画像が傾いている場合等に枠が残ってしまう。また、1画面内に2ヶ所以上画像がある場合には、図30(B)に示す如くその間の部分は枠が残ってしまうため、かえって画像品位を落とす場合があった。

【0011】 ③枠消後には図30(c)に示す如く画像部の輪隔が不明瞭なため、画像部（又は原稿）の大きさ、及び位置が良くわからなくなる。

【0012】

【課題を解決するための手段】 本発明は以上の点に鑑みてなされたもので、画像及びその周辺部を表わす画像信号を入力する入力手段と、前記入力手段から入力された画像信号に基づいて前記画像と前記周辺部との境界を検出する検出手段と、前記検出手段によって検出された前記境界の外側の画像信号を特定信号に変換する変換手段と、前記検出手段によって検出された前記境界に対応して枠を表わす画信号を形成する形成手段とを有する画像処理装置を提供するものである。

【0013】

【実施例】 図1は本発明をマイクロフィルム用デジタルリーダープリンターに適用した場合の外観図、図2は、その概略機構図を示す。

【0014】 図1及び図2において、1はマイクロフィルムをスクリーンに投影あるいは読取って画像処理等を行なうスキャナー、2はスキャナー1で読み取った画像情報を画像処理した後、普通紙にプリントアウトするためのレーザービームプリンター、3は各種設定及び表示を行なうための操作部、4はロールフィルムの撮影画像を操作部3上のツマミにて、投影位置に送ったり、巻き戻したりする機構を持つロールキャリア、5は、ズーム機構を持つ投影用ズームレンズ、6はマイクロフィルム画像を投影するためのスクリーン、7はマイクロフィルムを照射するためのハロゲンランプ、8はハロゲンランプの拡散光を集光するための集光レンズ、9はロールキャリア内にある圧板ガラス（不図示）に挟持されたマイクロフィルム、10は投影光を反射するための反射ミラー、11はスクリーン投影か、投影画像読取かを選択するための摺動ミラー、12は摺動ミラー11を回転させるための軸、13は投影画像を読み取るためのラインセンサー、14、15はラインセンサーの位置を検出するためのセンサーである。

【0015】 以上の構成において、画像読取の動きについて説明する。

【0016】 まず、通常は、摺動ミラー11は破線の様な位置にある。この時、ハロゲンランプ7、集光レンズ

8でマイクロフィルム9に照射した光は、反射ミラー10、摺動ミラー11を通してスクリーン6に投影される(破線の光路)。

【0017】操作部3上に設けられたコピーボタンを押すと、まず摺動ミラー11は軸12を中心に実線の位置に移動し、マイクロフィルム投影光は、実線の光路をたどる。この時、ラインセンサー13はホームポジションセンサー14をはずれ、A方向へ移動を始める(この方向を以後、前スキャンとする。)。画像光終端位置まで移動するとラインセンサー13は、スタートポジションセンサー15にかかり、B方向へ反転移動を始める(以後、この方向を本スキャンとする。)。その後ラインセンサー13がホームポジション14にかかると、ラインセンサー13の移動は停止し、摺動ミラー11は破線位置へ戻る。

【0018】図3は本発明の一実施例における、概略ブロック図、図4は画像処理回路26及び枠検出回路24の詳細ブロック図を示す。以下の説明において、信号の反転を※によって表す(例えば、信号Aの反転を信号A※と表す)。

【0019】図3において、21は、ラインセンサー13の画像信号出力を増幅するためのアンプ、22はアンプの出力信号をデジタル8ビット信号に直すためのA/Dコンバータ、23はデジタル化した画像信号をシェーディング補正するためのシェーディング補正回路、24はそのシェーディング補正された画像信号から画像の枠を検出するための枠検出回路、25はその枠検出回路へのデータ設定制御、及び操作部の設定を読み込み、あるいは表示等を行なうCPU、26は、シェーディング補正された画像信号に、各種画像処理を行なう画像処理回路である。

【0020】次に画像処理回路26及び枠検出回路24の詳細ブロックを図4にて説明する。

【0021】101は8ビットの諸調を持つ原画像信号VMを単純2値化するための2値化回路、102は2値化された画像信号VMBをブロック的にビット加算するブロックビット加算回路、103はブロックビット加算された値を判定するための2値化回路、104は2値化回路103で2値化された信号、SIGにより画像部と枠部の境界点を検出するための検出信号MBI、MBITを発生するための検出信号発生回路である。

【0022】105は主走査方向同期信号に同期して画像ブロックGCLKによりカウントする13ビットのカウント、106はブロック化の際に生じる主走査方向の遅延(K)を補正するためのアドレス補正回路であるところの13ビットアダー107は検出信号MBITの立上りで、主走査方向のアドレスをラッチする画像部立上りアドレスラッチ回路、108は検出信号MBIの立上りで、主走査方向のアドレスをラッチする画像部立下りアドレスラッチ回路である。

【0023】109はTライン毎に生じる同期信号HSYNT信号により、立上りアドレスラッチ回路107の出力アドレス信号NBのラッチを行ない、遅延するTラインラッチ回路、110は同じくHSYNT信号により108の出力アドレス信号NAをラッチするTラインラッチ回路である。

【0024】11はNB、NAのアドレス信号よりタイミングを発生するアドレス・タイミング変換回路A、112は同じく109、110の出力信号PB、PAのアドレス信号よりタイミングを発生するアドレス・タイミング変換回路Bである。

【0025】113～117はゲート回路で、詳細は後述する。

【0026】118は原画像信号VMをエッジ強調するためのエッジ強調回路、119は更にエッジ強調化された8ビット諸調の画像信号を誤差拡散法により疑似中間調処理するための誤差拡散回路、120はブロック化の際に生じる副走査方向の遅延を補正するための画像遅延回路である。

【0027】図5はブロックビット加算回路102の一例を示す概略回路図で、121は2値化回路101で原画像信号VMを単純2値化した信号VMBを図16に示したようなGCKW信号(図16では8画素毎に1ブロック)で刻むためのラッチ回路、122～129はそれぞれHSYNW信号の周期毎にクリアされるラインメモリ、130はラッチ回路121の出力信号VMB'とラインメモリ122～129の出力(a～i)を加算する加算回路A、131～138は加算回路A130の4ビット出力をGCKW信号でラッチするラッチ回路、139は加算回路A130の出力とラッチ回路131～138の出力(A～I)を加算する加算回路Bである。

【0028】図6は加算回路A130の一例を示す回路図で、48、49、50、51、52は1ビットフルアダー、53、54は1ビットハーフアダーである。

【0029】図7は加算回路B139の一例を示す回路図で、55、56、57、58は4ビットアダー、59、60は5ビットアダー、61は6ビットアダー、62は7ビットアダーである。

【0030】図8は、検出信号発生回路104の一例を示す回路図で、41は2値化回路103により、判定2値化された信号SIGと、枠消エリア信号AREAとアンドをとるためのアンドゲート、42はアンドゲート41の出力と接続し、画像クロック信号GCLKで刻んで反転したMBI信号を作るためのDラッチ、43はSIG信号の最初の立上りで立上り、次のHSYNT※信号の立下りで立下がるMBIT信号を作るためのJKフリップフロップである。

【0031】図9は、立上りアドレスラッチ回路107及び立下りアドレスラッチ回路108の一例を示す回路図で、44はMBIT信号の立上りでラッチするDラ

チ、45は更にその信号をH S Y N T信号の立上りでラッチするDラッチ46はM B I信号の立上りでラッチするDラッチ47は更にその信号をH S Y N T信号の立上りでラッチするDラッチである。

【0032】図10は、アドレス・タイミング変換回路A111の一例を示す回路図で63はアドレスNBから主走査方向の黒枠のドット幅Dを引いたアドレスを算出するための13ビットアダー、64は同様にアドレスNAからドット幅Dを加えたアドレスを算出するための13ビットアダー、65～68は各A入力アドレスと主走査方向カウントアドレスとが一致した時に1 G C L K分のパルスを出力する13ビットイコリティコンパレータ、69、70は各々コンパレータ65、67からのパルス、コンパレータ66、68からのパルスよりN L M、N L信号を作るためのJ Kフリップフロップである。

【0033】図11はアドレス・タイミング変換回路B112の一例を示す回路図で、接続は図10と同等であるので説明は省略する。

【0034】71、72は、13ビットアダー、73～76は13ビットイコリティコンパレータ77、78はJ Kフリップフロップである。

【0035】図12～図14は遅延回路の一例を示す概略回路図で、81は2値画像信号V D Iをシリバラ変換するシリバラ変換回路、82はS P C L K信号立上りのタイミングでラッチするラッチ、83、84はRAM

(1) 95またはRAM (2) 96への出力信号を選択する3ステートゲート回路、85はインバータ、86はRAM (1) 95またはRAM (2) 96からの入力信号を選択する8ビットセクタ、87は8ビットセクタの出力をP S L A T信号立上りのタイミングでラッチするラッチ、88は、ラッチ87の出力をバラシリ変換するバラシリ変換回路、89はRAM (1) 95、RAM (2) 96への書込み、読出しを制御するM1 R D※、M1 W R※、M2 R D※、M2 W R※信号発生回路であるところのセクタである。

【0036】90はラインカウント数セットのためのラッチ、91は8ビットカウンタ93の出力と比較し、一致した時にパルスを出力する8ビットイコリティコンパレータ、92はインバータ、94は8ビットイコリティコンパレータの出力毎に反転した信号M S E Lを作り出すためのJ Kフリップフロップである。

【0037】以下動作を順を追って説明する。

【0038】原画像信号V Mは、例えば、図3に示す如くシェーディング補正、γ補正等の基本的補正回路は通過しており、ある程度のフィルタリング処理も施されている。

【0039】この原画像信号V Mをr e f lの値、(r e f lはプレスキャンによる測光値に連動している)と比較して、2値化回路101により1か0の2値信号に

変換する。画像上の1点Xに対するブロックは図22のように9×9のサンプル点を持っており、各サンプル点は主走査方向にG C K W信号の間隔(ここでは8画素分)、副走査方向にはH S Y N W信号の間隔(ここでは8画素分)だけ離れている。従ってブロックの大きさとしては、64×64画素となる。

【0040】マイクロフィルム上のゴミ、ホコリは拡大倍率だけ拡大されるが、枠部にホコリが存在した場合は、この判定ブロックが小さいと、拡大されたゴミ、ホコリで誤動作を起こす場合がある。しかし、この判定ブロックが大きければ大きいほどメモリを必要とするため最小のメモリで、ゴミ、ホコリの誤動作をなくするためにはこのようにとびとびのサンプル点を持つことは有効な方法である。

【0041】この大きさでは、例えば400 d p iのセンサーを用いている場合、約2mm幅の拡大されたゴミ、ホコリまでは、誤動作を生じないことになる。

【0042】図5がブロックビット加算回路102であるが、2値化回路101により変換された画像信号V M BをDラッチ121により、G C K W信号立上りで刻み、ラインメモリ122～129によりH S Y N W信号の間隔で順次記憶する。

【0043】そして、9ライン分(a～i)の信号をG C K W信号の間隔でビット加算していく。例えば、図17の様にa～i信号が出力された場合は加算回路A130(図6)の出力Aの4ビット出力は図に示した様になる。

【0044】更に、4ビットラッチ131～138で主走査方向にG C K W信号の間隔で順次記憶する。そして、A～I点における9ライン分のビット加算信号の総和を加算回路B139により算出する。この時A～Iの4ビット信号は図17に沿って考えると図18の様になる。そして、その総和である加算回路B139(図7)の出力S U Mは図のS U Mで示した様な結果となる。

【0045】加算回路A130は例えば図6の様になるが、a、b、cの信号は1ビットフルアダー48で加算され、2ビット信号に変換される。同様にd、e、fの信号は1ビットフルアダー49で加算され、2ビット信号に変換される。更にg、h、iの信号は1ビットフルアダー50で加算され、2ビット信号に変換される。

【0046】2ビット変換された各信号の上位1ビット下位1ビットを1ビットフルアダー51、25で別々に演算し、更にハーフアダー53、54により4ビット信号に変換する(最大9)。

【0047】また、加算回路B139は、例えば図7の様になるが、AとB、CとD、EとF、GとHの4ビット信号をまず4ビットアダー55～58で夫々加算し、5ビットに変換し、更にこの5ビット信号を5ビットアダー59、60により加算して、6ビットに変換する。そしてこの6ビット信号を6ビットアダー61により加

算し、7ビットに変換し、そして最後にIの4ビット信号を7ビットアダー62で加えて、A～Iの総和SUMを出力する。

【0048】こうして得られたSUMは、2値化回路103により、ref2と比較して、1か0の2値信号SIGに変換する。従って、このようにこのSIGはまわりの画素から概ね平均的に求めた信号であるので、大面積のローパスフィルタをかけたような効果があり、ノイズやゴミホコリに対して安定的な信号となっている。

【0049】次に、この信号SIGは図8に示した検出信号発生回路104にて枠消エリア信号AREAによりアンドゲート41で制限された後、Dラッチ42、JKフリップフロップ43により画像立下り検出信号MBIと画像立上り検出信号MBITを作る。基本的にMBITは、タイミング的に、主走査同期信号HSYNCから最初にくる画像部のエッジをとらえるために、SIGの最初の立上り点で立上げ、次のHSYNC信号立上りで立下げている。またMBIはHSYNCから見て、最後の画像部のエッジをとらえるために、SIGを反転している。

【0050】13ビットカウンタ105は同期式カウンタで、図15に示す如くHSYNC※信号でクリアされ、GCLKの立上りでカウントアップする。13ビットは400dpi A3サイズの主走査を想定したビット数で、センサーの解像力、画像読取幅により異なる。

【0051】ブロック化することにより、主走査、副走査とも遅延が生じるが、主走査方向に関しては、13ビットアダー106によりアドレス補正することで対処する。補正值はKであるが、以下のタイミングは便宜上K=0としている。こうして補正された主走査方向カウンタのアドレス値をHADとする。

【0052】図9に示すアドレスラッチ回路107、108では、画像が存在した時にはDラッチ44、46によりMBIT信号は1ラインに1回、MBI信号は最低1回HAD信号のラッチを行なうことになる。また、同期をとるために、Dラッチ44、46の出力をDラッチ45、47により、再度HSYNT信号の立上りでラッチしている。こうしてラッチされたアドレス信号がNB、NAとなる。そして、このアドレス信号NB、NAを更にHSYNT信号の立上りでラッチを行なったのが、アドレス信号PB、PAである。

【0053】そして、図10に示すアドレス・タイミング変換回路A111において、13ビットアダー63によりNB-Dのアドレスを算出し、同じく13ビットアダー64により、NA+Dのアドレスを算出する。そして、NB-D、NB、NA+D、NAの各アドレス値が、主走査方向カウンタのアドレス値HADと一致するタイミングで、13ビットイコリティコンパレータ65～68からパルスが出力される。そして、JKフリップフロップ69、70により、13ビットイコリティ

コンパレータ65の出力で立上り、13ビットイコリティコンパレータ67の出力で立下るNLM信号、及び13ビットイコリティコンパレータ66の出力で立上り、13ビットイコリティコンパレータ68の出力で立下るNL信号が出力される。

【0054】同様にアドレス信号PB、PAからも、図11に示したアドレス・タイミング変換回路112によりPLM、PL信号が出力される。

【0055】図19、図20は画像部の縁に黒枠を形成する過程を示したタイミングチャートである（以下HSYNTをHSYNC（1ライン）としている）。

【0056】図19で1番上の信号はHSYNC※で、1ラインに1パルス（GCLK2周期分）の間隔で立下るパルスが出力される。画像エリアはこのHSYNC※信号のパルス間に存在するが、プリンターとの関係で、通常の1ラインは画像読取幅以上のクロックタイミングを有しており、画像エリアの前後には非画像エリアも存在する。

【0057】図19は副走査方向に画像がない状態から画像が現れた時のタイミングで、画像がある時はSIG信号が1となる。ただし、画像部の中でも文字部は枠部の濃度に近いためSIG信号が0になる場合もある。この時アドレス信号NBはSIG信号の最初の立上り点を示しており、アドレス信号NAは1ライン中のSIG信号の最後立下り点を示している。

【0058】これはMBIT信号はSIG信号の最初の立上りで1になり、次のHSYNC※信号で0になるため、MBIT信号の立上りで、NBアドレスはラッチされる。そして、MBI信号は画像部中に数回立上るため、数回ラッチされるが、1ライン中では、最後の立上りアドレスNAがラッチされるので、次のHSYNC信号立上りでラッチした時は、NB、NAアドレスがラッチされている。

【0059】従ってこれにより新たに作成したタイミングNL、NLMは図の様になり更に再度HSYNCでラッチしたPB、PAアドレスにより作成したタイミングPL、PLMも図に示した様になる。

【0060】そして、図4に示すEXORゲート113、114の出力を

【0061】

【外1】

Ⓐ点Ⓑ点

とし、更にそのOR出力を

【0062】

【外2】

Ⓒ点、

そしてエッジ強調、誤差拡散更には遅延回路を通した画像信号VDとNLMのAND出力を

【0063】

【外3】

④点

とした時の各点波形は図19のようになる。画像信号VDは斜線で示している。

【0064】これにより、最初に画像が出現したラインにおいては画像域全体を黒線とし、次のライン以降（HSYNTがHSYNCでなく、nライン置きの際は次のnライン以降）は、主走査方向の画像部の縁がDでセットした値の幅で黒帯となる（VDO信号参照）。

【0065】また、図20の様に、SIGが変化した場合には、VDO信号のように黒帯の幅が変化する。この変化により、結果的に図23（A）の様な画像は、図23（B）の様な画像に変換される。

【0066】エッジ強調回路118にはラブラシアン^①の3×3の畳み込みマスクを使用している。マスク係数は図24に示す。また、誤差拡散回路119により、中間調再現特性を向上させている。誤差拡散法（ED法）は周知のように、ある注目画素を、一定の閾値と比較し、生じた誤差（注目画素の濃度と閾値との差分値）を次の複数画素の濃度に拡散していく方法であり、代表的な疑似中間調処理の一つである。

【0067】遅延回路120は詳細には図12～図14の様に構成されている。

【0068】図13で、まずCPU（不図示）によりDラッチ90にレジスタ書込みタイミングで遅延ライン数がセットされる。8ビットカウンタ93は、副走査同期信号VSYNC※でクリアされ、主走査同期信号HSYNCの立上りでカウントアップする。このカウンタ93の出力カウント信号は8ビットイコリティコンパレータ91に inputs され、先の遅延ライン数と比較し、一致した時に1ライン周期分の正パルスが出力される。

【0069】インバータ92によりこの正パルスは負パルスとなり、8ビットカウンタ93をリセットする。同時に、先の一致信号はJKフリップフロップ94に inputs され、一致信号が出力される度にトグルされた信号MSELを出力する。

【0070】先の8ビットカウンタ93の出力カウント信号は、RAM（1）95、RAM（2）96のアドレスバスMA10～MA17に接続されている。またRAM（1）95、RAM（2）96のアドレスバスMA9～MA0には、主走査方向13ビットカウンタ5のカウント信号に補正値を加えたアドレス信号HAD12～HAD3が接続されている。下位3ビットを用いていないのは、データがシリアルからパラレルに変換されているためである。

【0071】図12で誤差拡散回路19の出力信号VDIは8ビットのシリバラ変換器81でシリアルパラレル信号変換がなされる。

【0072】SPCLK信号は図16に示すようにGCLK信号の1/8周期の信号で、このSPCLK信号でDラッチ82によりシリバラ変換の信号はラッチされ、

結果的にGCLKで刻まれたシリアル信号はGCLK/8で刻む8ビットパラレル信号に変換される。この信号は先のMSEL信号がHighの時3ステートゲート83からRAM（2）96に、データは出力され、3ステートゲート84はハイインピーダンスとなりMSEL信号がLowの時は3ステートゲート84からRAM

（1）95に、データは出力され3ステートゲート83はハイインピーダンスとなる。

【0073】同時にMSEL信号がHighの時8ビットセクタ86の出力SにはRAM（1）95からの信号が出力され、MSEL信号がLowの時は、8ビットセクタ86の出力SにはRAM（2）96からの信号が出力される。そしてこの信号は、Dラッチ8FによりPSLAT信号の立上りでラッチされる。

【0074】PSLAT信号は図16のようにGCLK信号の1/8周期の信号で、その立上り点はSPCLK信号立上り周期の1/2の点である。次いで、Dラッチ8Fの出力信号は、バラシリ変換器88に inputs され、PSLOAD※信号により、データロードし、GCLK信号のクロック立上りタイミングでシリアル画像データVDを出力する。

【0075】また、MSEL信号は、4ビットセクタ89のセレクト信号にもなっており、M1RD※、M1WR※、M2RD※、M2WR※は図21の様なタイミングでRAM（1）95、RAM（2）96に inputs される。これによりRAM（1）、RAM（2）のリード（RD）、ライト（WR）のタイミングは図21に示したようになる。またM1WR※、M2WR※に使用されるメモリ書込み信号MWR※は図21に示したようなタイミングで出力されている。

【0076】以上のような制御により、シリアル画像信号VDIは設定した遅延ライン数だけ遅延した、シリアル画像信号VDとして出力される。シリアル→パラレル変換は、ここでは高速な画像信号を、低速な（アクセス時間の長い）安価なRAMで制御するために行なっている。

【0077】以上の様に、パイプライン処理により画像処理を行ない、自動枠消を行なうため、画像メモリとしては数ライン分しか必要なく、安価でしかも小型な装置を提供できる。また、一担、全画像域に画像情報を記憶するなどの処理が不安なため、高速に処理が行なえる。

【0078】また、枠消は矩形に行なうのではなく、ほぼ任意の形状に枠消が行なえるため、不必要な枠部を精度良く消去し、トナー消費量を迎えるとともに、画像品位の良いコピーを得ることができる。

【0079】更に画像部（枠の内側部分）の周囲に縁取を行なうことで、画像部の輪隔を浮き立たせることで、画像部の大きさ、位置を明瞭化することができる。

【0080】（他の実施例）図5に示したラインメモリ1（22）～ラインメモリ7（28）は1ビットのライ

ンメモリを使用しているが、HSYNW※の周期が8ライン分もあると、スタティック型のラインメモリを使用しなければならないため、コストが高くなる。そこで図5のラインメモリをダイナミック型のメモリである μ PD42505V (NEC製)を用いて構成した例を図25に示す。

【0081】ラインメモリ79のリード用クロックRCKとライト用クロックWCK端子には、GCLKW信号が供給され、リード用リセットRSTR※とライト用リセットRSTW※端子にはHSYNC信号が供給されている。従って、1ライン毎にラインメモリ内容は書き換えられるが、8ビットセクタ80のSEL端子には、HSYNW信号が接続されているため、HSYNWがnライン周期の場合(n-1)ラインはメモリに1回書き込まれた内容をリフレッシュ的に再書き込みすることになる。

【0082】従って、nライン目には新しいVMB'が0ビット目のラインメモリに書き込まれ、以降0ビット目のラインメモリの内容が1ビット目に、1ビット目のラインメモリの内容が2ビット目にと1ビットずつシフト書き込みされる。これにより、nラインおきに8ラインのラインメモリを行なうことができる。

【0083】また、以上の説明では原稿としては、マイクロフィルム画像を対象にしているが、特に原稿を限定するものではなく、例えばデジタル複写機やペーパースキャナーの様なものに適用しても良い。このような装置では、主に等倍コピーが行なわれるため、ゴミ、ホコリの影響も、マイクロフィルムの様に拡大されない分少なく、ブロックビット加算回路102は簡素化したもので良く、場合によっては省略可能である。

【0084】また、主、副走査方向別々に縁取幅が変わるので、図26(a)(b)の様な縁取が可能であるが、主、副走査方向同時に縁取幅を変える様な構成は、容易に達成できる。

【0085】また、エッジ強調回路118、誤差拡散回路119は特に必要な構成要件ではなく、いかなる画像処理でも良い。又図27に示す様に後端部に枠が一部残ってコピーされても許容されるならば、遅延回路120も不要である。

【0086】また、ANDゲート116の入力の片側はNLM信号を使用しているが、NL、PL、PLMのいずれでも等価的に枠消を行なうことが可能である。但し、それぞれの信号では、若干の枠位置ズレ、縁取機能をおf fした時の枠消幅に差が出る。

【0087】以上説明したように、画像読取時に副走査方向に一定区間離れた2つの主走査方向ラインの読取信号に対応する画像部か枠部かを示す評価信号を各々取り出すとともに、更にこの評価信号の画像部両端に境界線幅の信号を付加した信号を各々取り出し、これら信号より自動非矩形枠消を行なうと同時に、画像部と枠部の境

界線を引くことで画像部全体に黒縁を作るようにしたことにより、その出力画像の画像品位を上げるとともに、画像領域を強調して、画像の大きさ及び位置を明確化することができる。

【0088】また、この方式は画像メモリとしては、数ラインのラインメモリしか必要とせず、またその処理はパイプライン処理により、殆どリアルタイムに行なうことができるため、安価にシステムを構成でき、また高速な画像処理を行なうことができる。

【0089】

【発明の効果】以上説明した様に、本発明によると、画像及びその周辺部を表わす画像信号に基づいて画像と周辺部との境界を検出し、検出された境界の外側の画像信号を特定信号に変換するとともに、検出された前記境界に対応して枠を表わす画信号を形成するので、自動非矩形枠消を行なうと同時に、画像部と枠部の境界線を引くことで枠を作るようにしたことにより、その出力画像の画像品位を上げるとともに、画像領域を強調して、画像の大きさ及び位置を明確化することができる。

【図面の簡単な説明】

【図1】デジタルリーダープリンターの外観図。

【図2】デジタルリーダープリンターの機構図。

【図3】デジタルリーダープリンターの回路ブロック図。

【図4】画像処理回路及び枠検出回路のブロック図。

【図5】ブロックビット加算回路のブロック図。

【図6】加算回路Aのブロック図。

【図7】加算回路Bのブロック図。

【図8】検出信号発生回路のブロック図。

【図9】立上り/立下りアドレスラッチ回路のブロック図。

【図10】アドレス・タイミング変換回路Aのブロック図。

【図11】アドレス・タイミング変換回路Bのブロック図。

【図12】遅延回路のブロック図。

【図13】遅延回路のブロック図。

【図14】遅延回路のブロック図。

【図15】タイミングチャート図。

【図16】タイミングチャート図。

【図17】タイミングチャート図。

【図18】タイミングチャート図。

【図19】タイミングチャート図。

【図20】タイミングチャート図。

【図21】タイミングチャート図。

【図22】サンプル点を示す図。

【図23】画像の出力例を示す図。

【図24】フィルタ係数を示す図。

【図25】ラインメモリの他の構成を示す図。

【図26】画像の出力例を示す図。

【図 27】画像の出力例を示す図。

【図 28】従来の画像出力例を示す図。

【図 29】メモリ RAM の内容を示す図。

【図 30】従来の画像出力例を示す図。

【符号の説明】

13 ラインセンサ

24 枠検出回路

26 画像処理回路

102 ブロックビット加算回路

104 検出信号発生回路

107 立上りアドレスラッチ回路

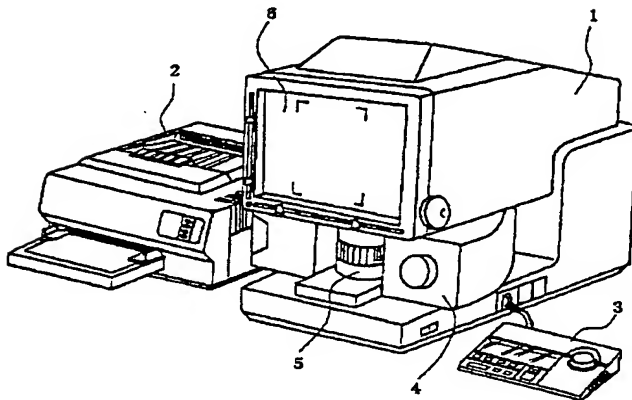
108 立下りアドレスラッチ回路

111 アドレス・タイミング変換回路 A

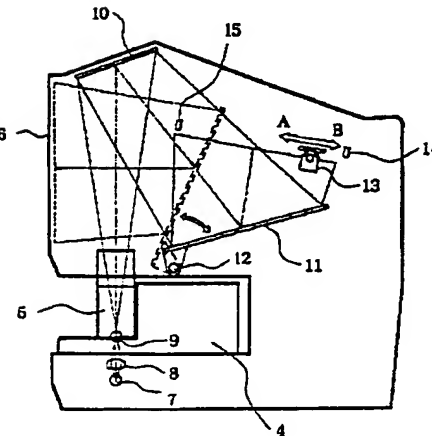
112 アドレス・タイミング変換回路 B

120 遅延回路

【図 1】



【図 2】

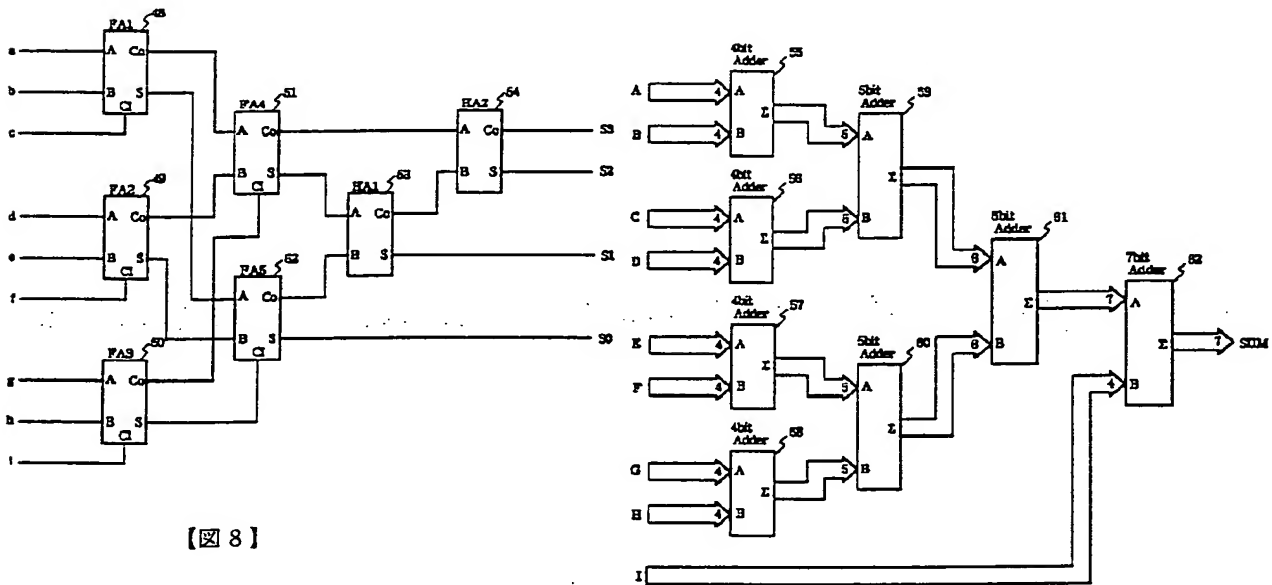


【図 24】

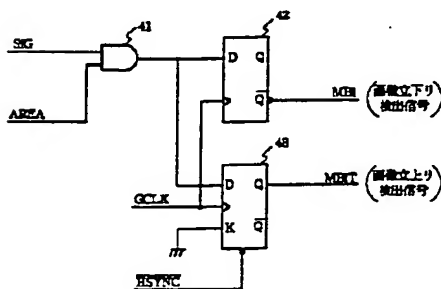
-1	-2	-1
-2	12	-2
-1	-2	-1

【図 6】

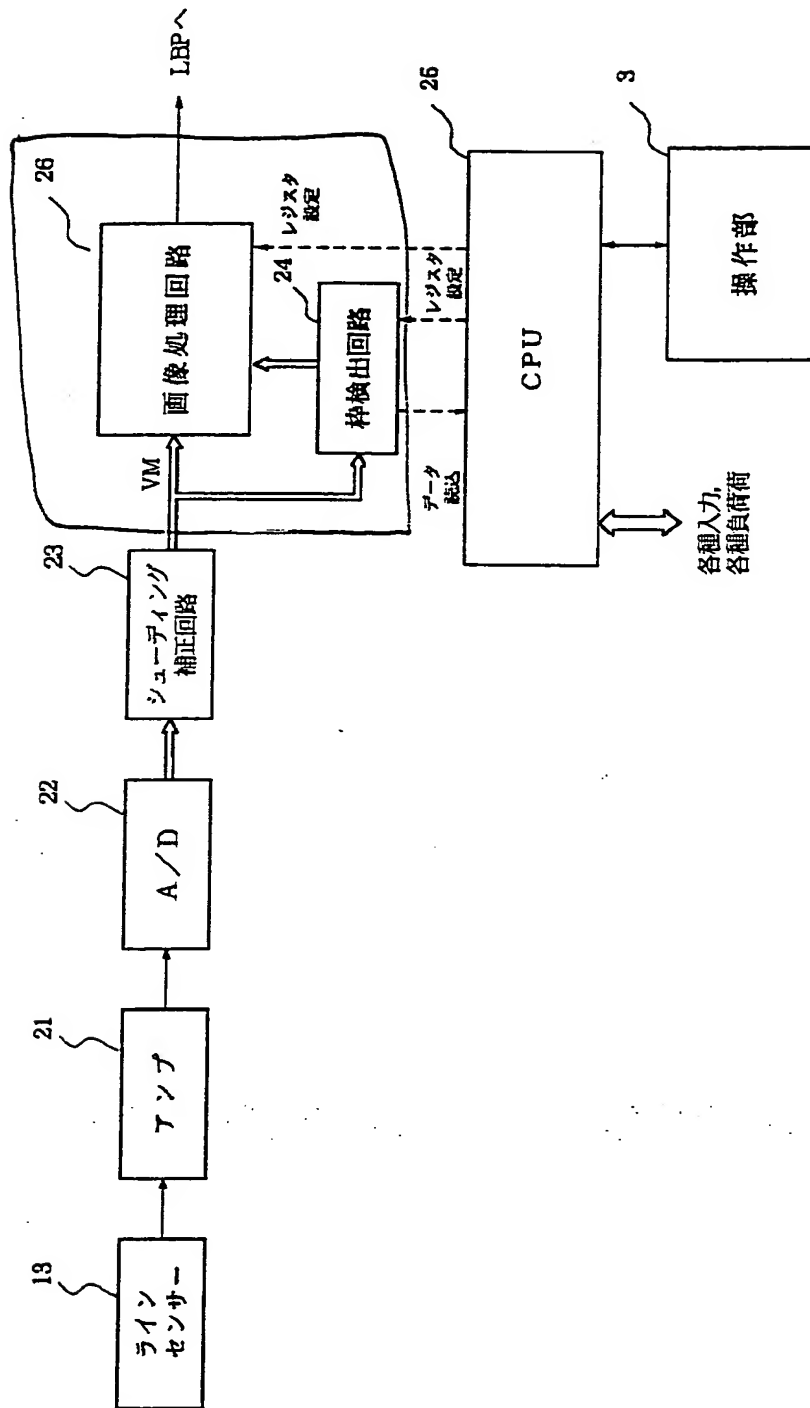
【図 7】



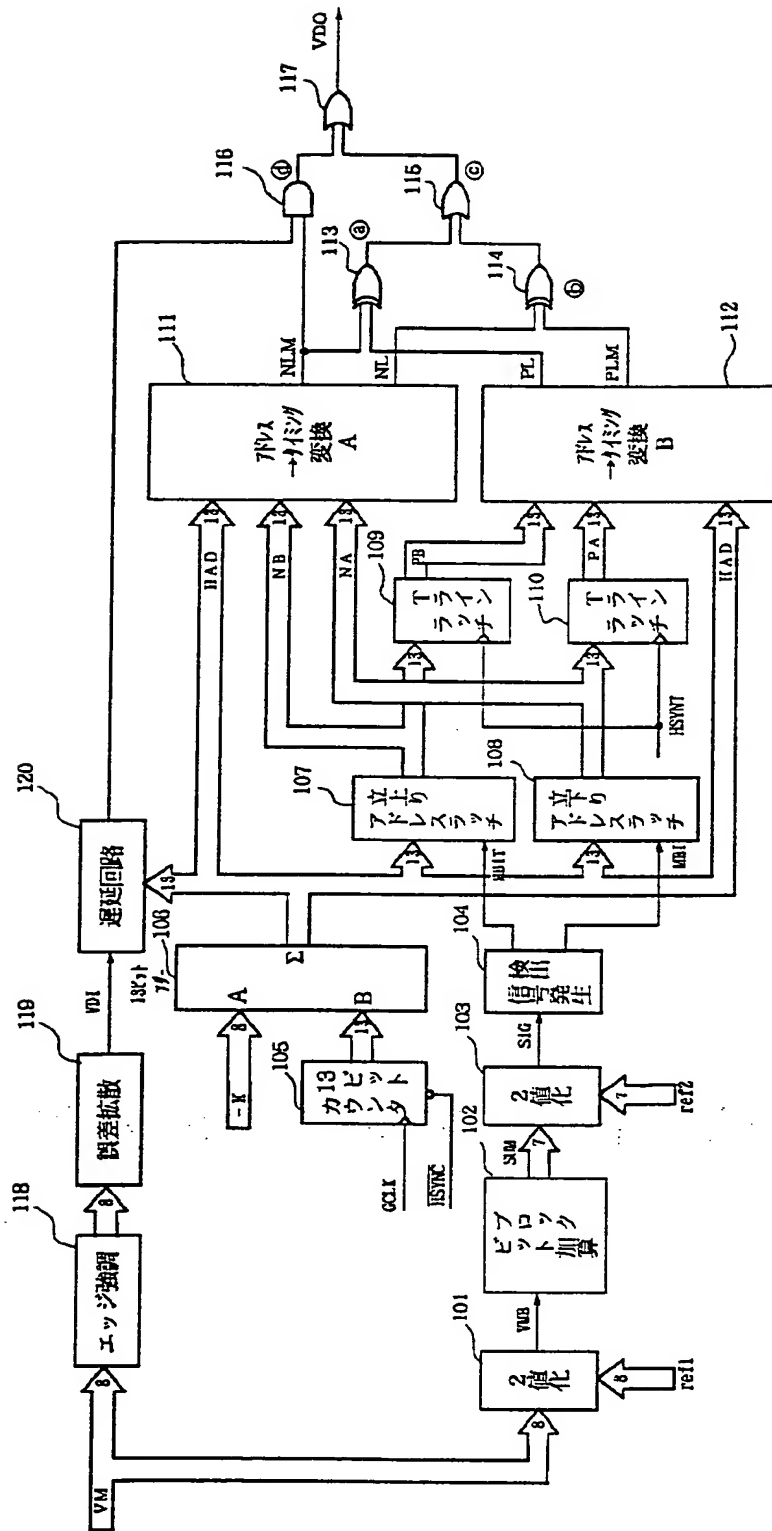
【図 8】



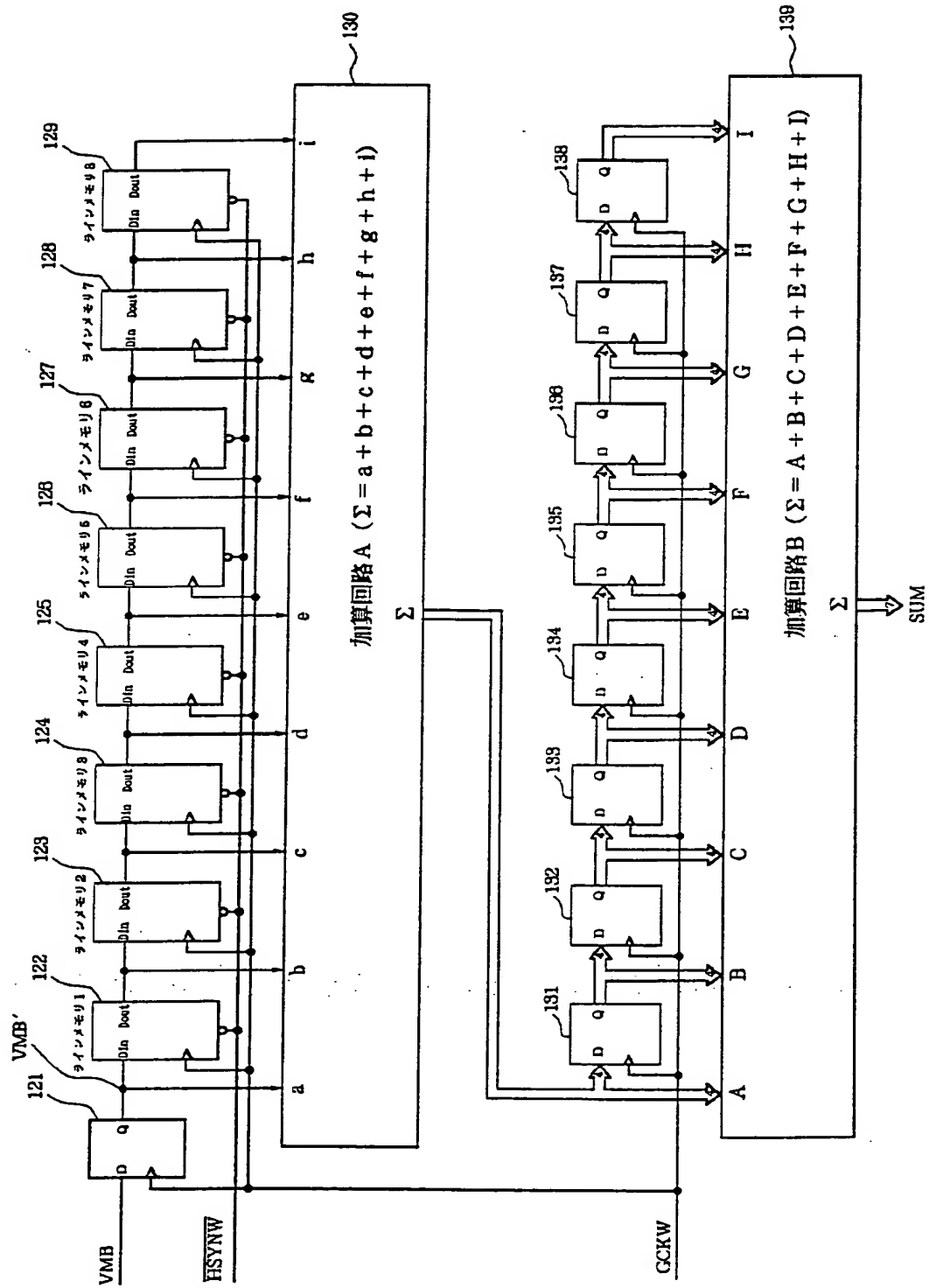
【図3】



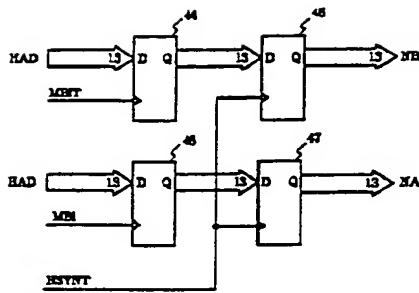
【図 4】



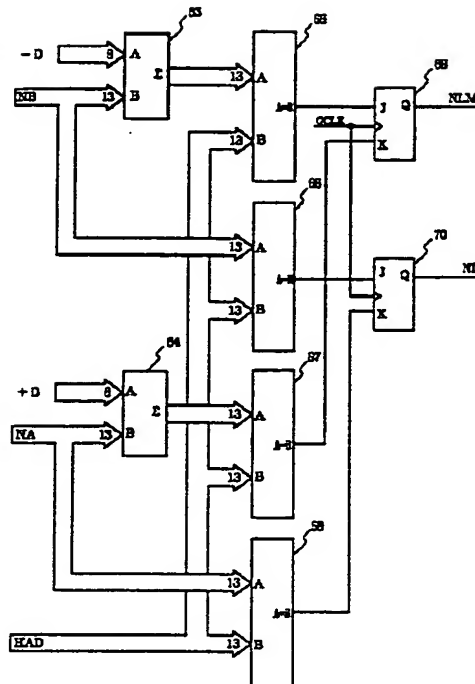
【図 5】



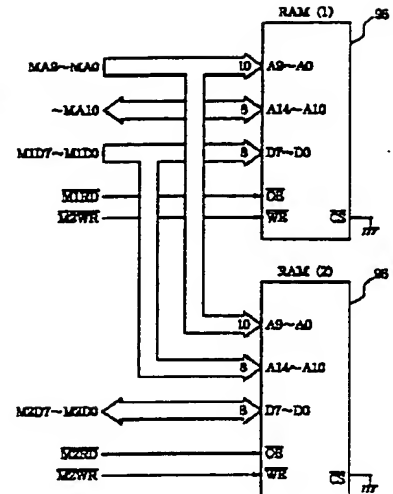
【図 9】



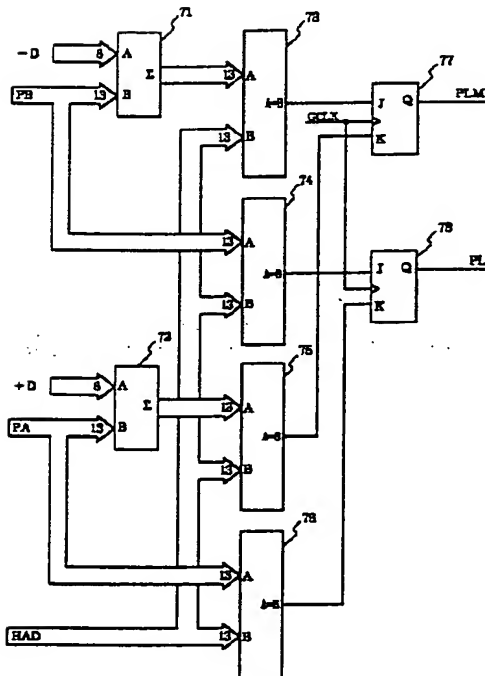
【圖 10】



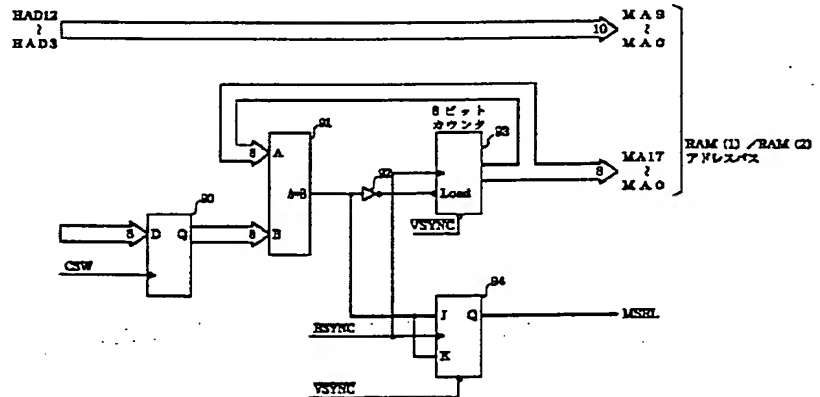
【図 14】



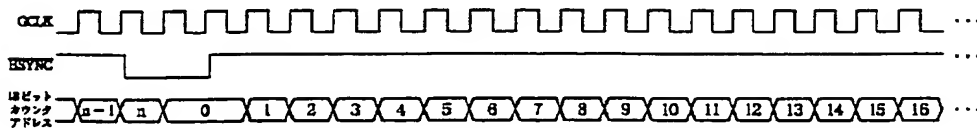
【圖 11】



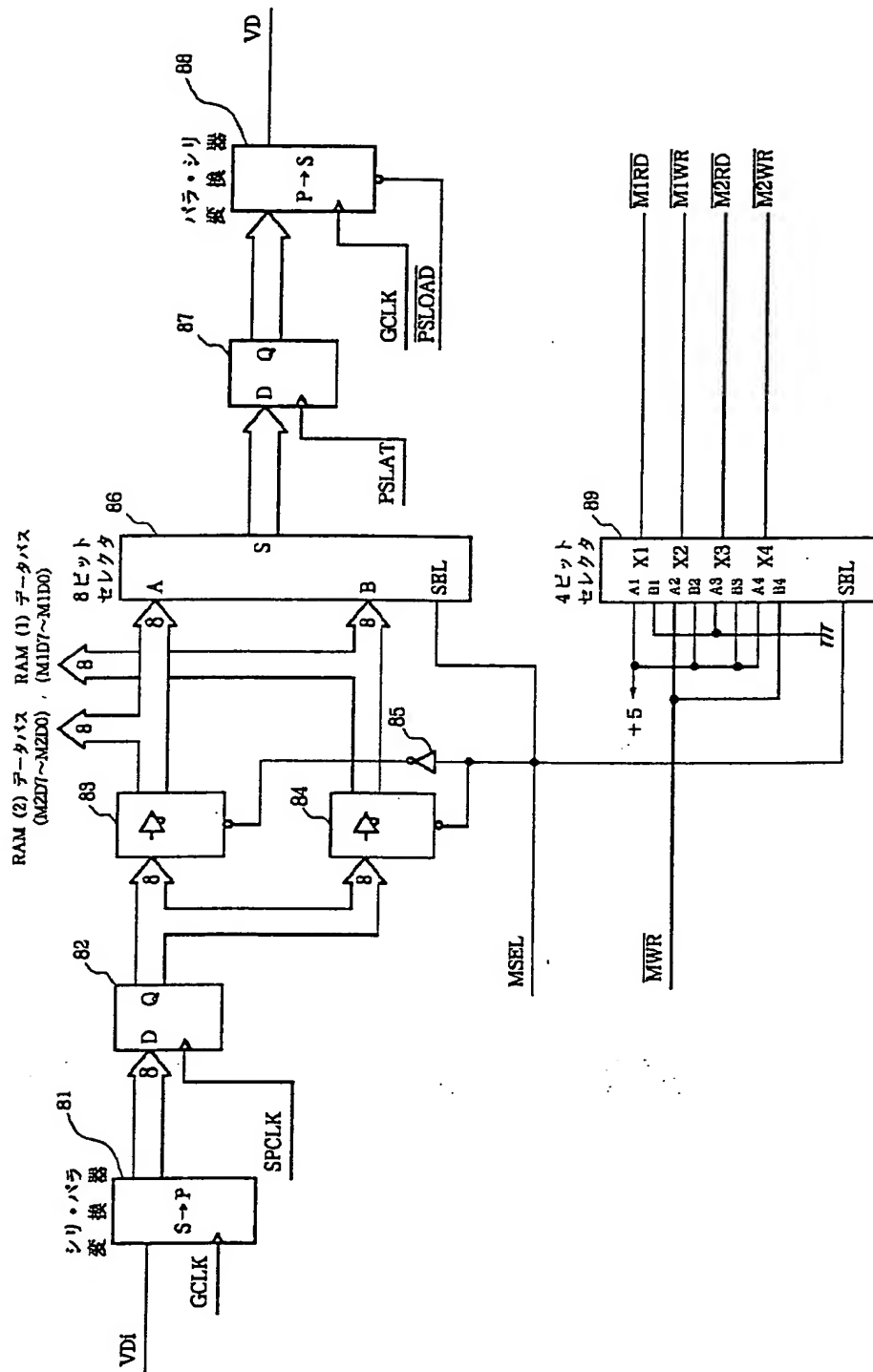
【图 13】



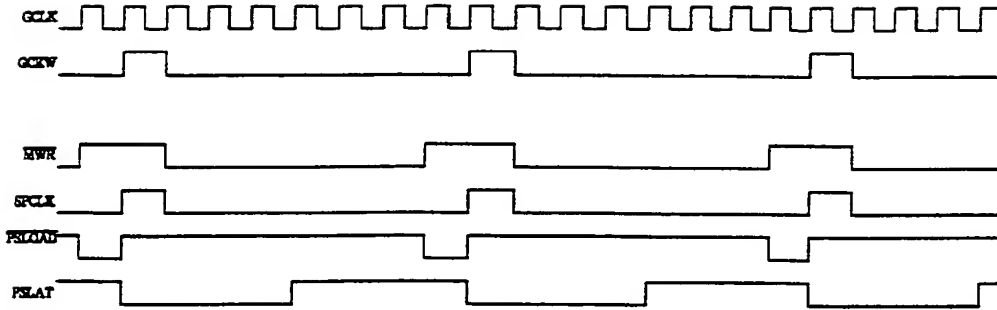
【図 15】



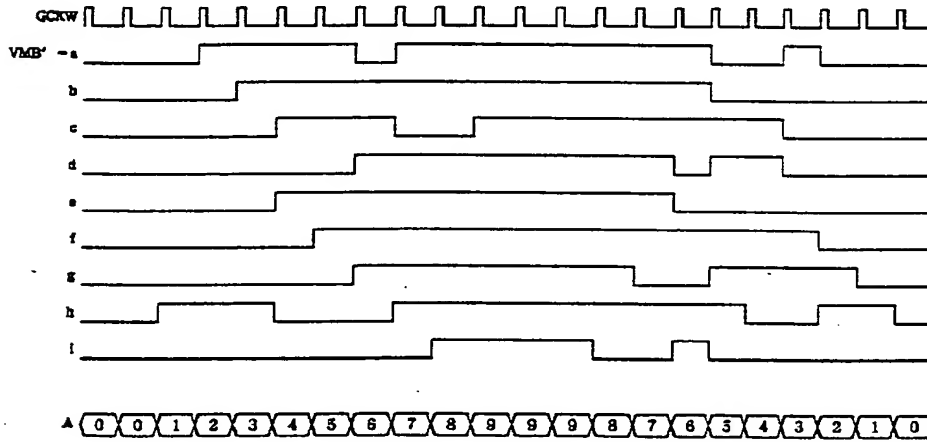
【図12】



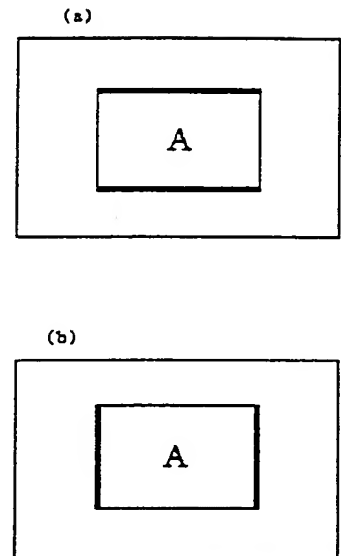
【図 1 6】



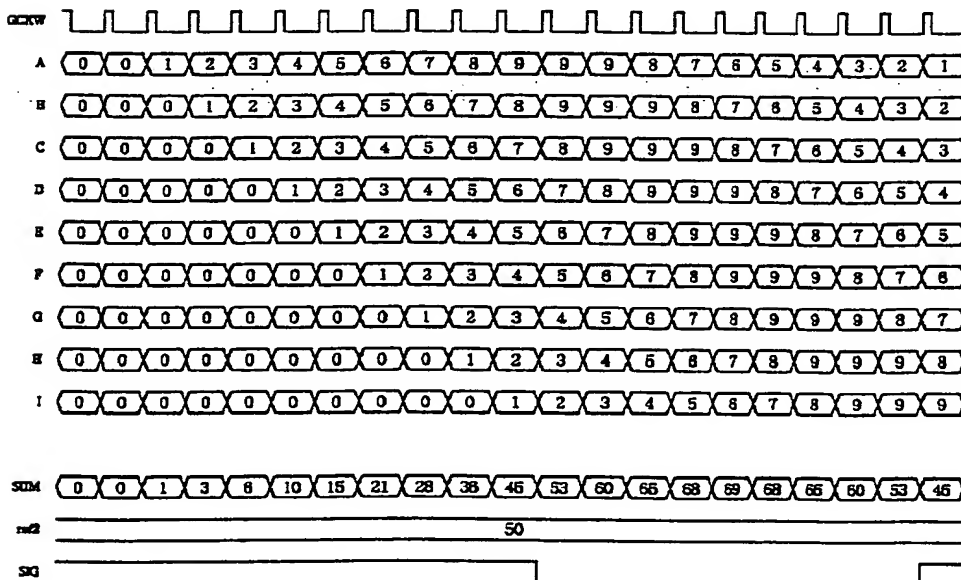
【図 1 7】



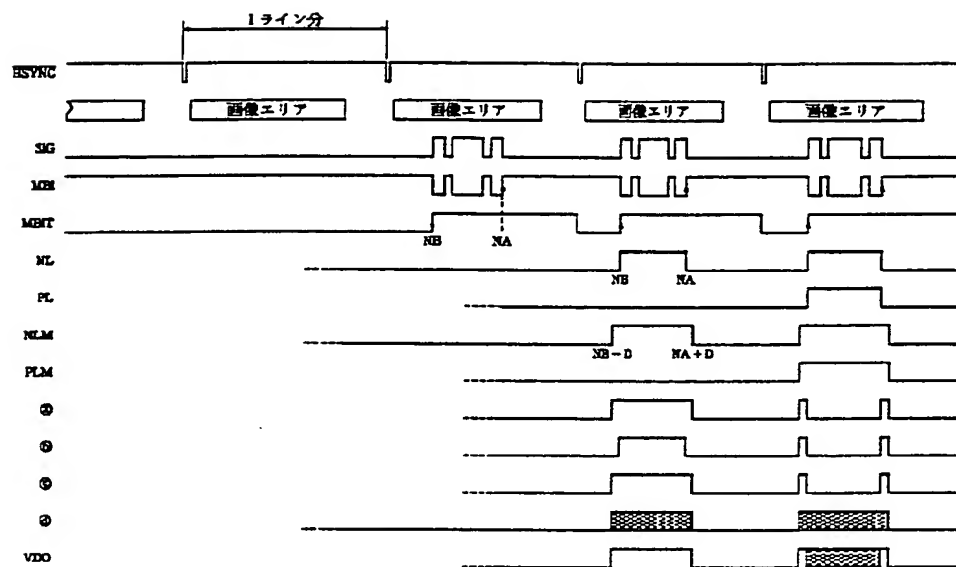
【図 2 6】



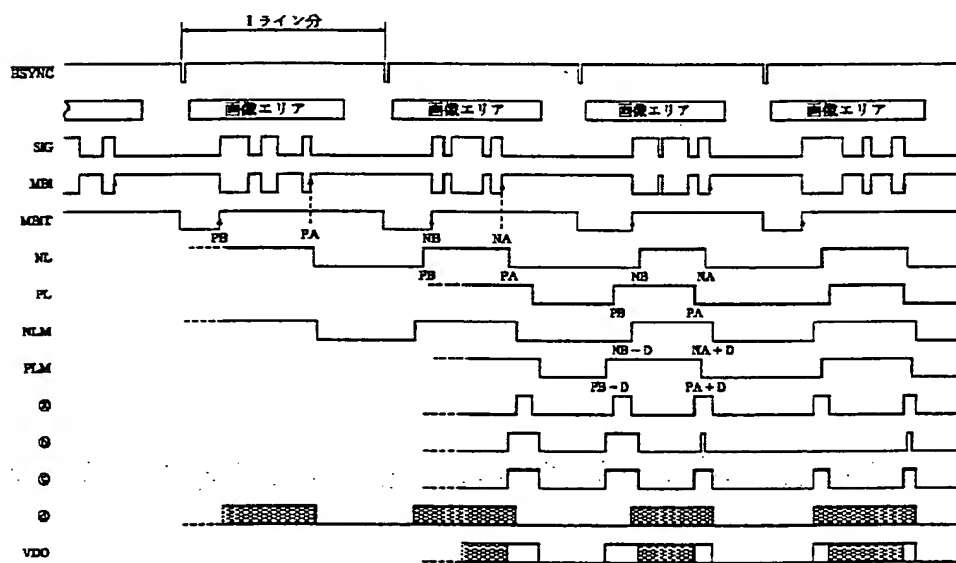
【図 1 8】



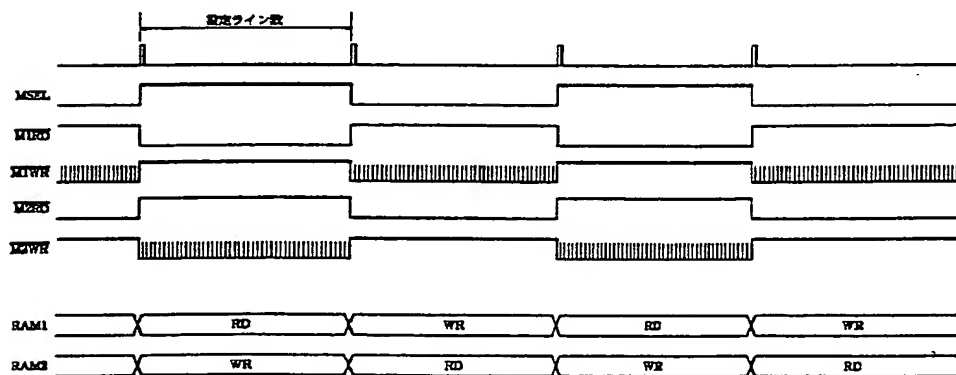
【図 19】



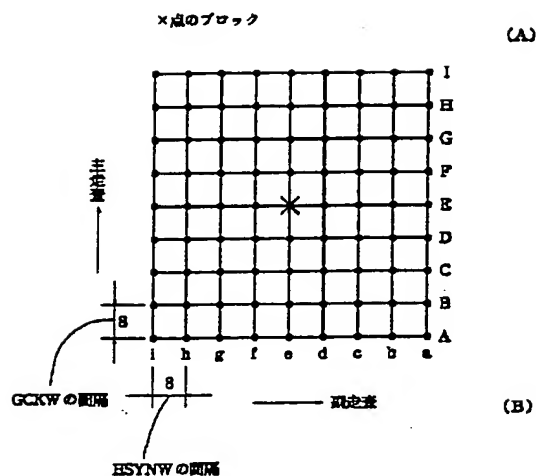
【図 20】



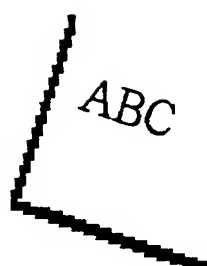
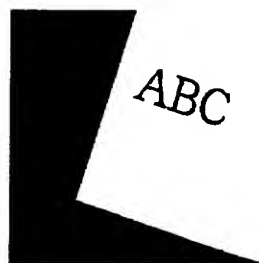
【図 21】



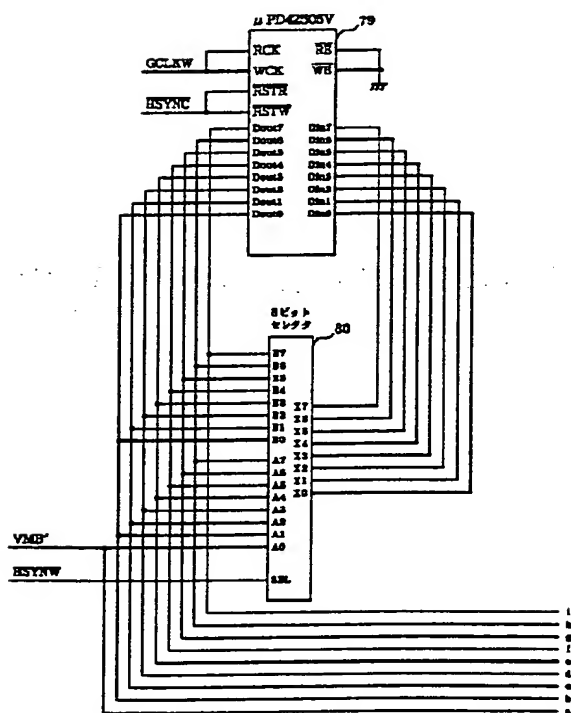
【図 2 2】



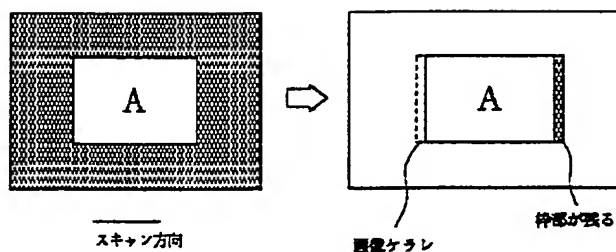
【図 2 3】



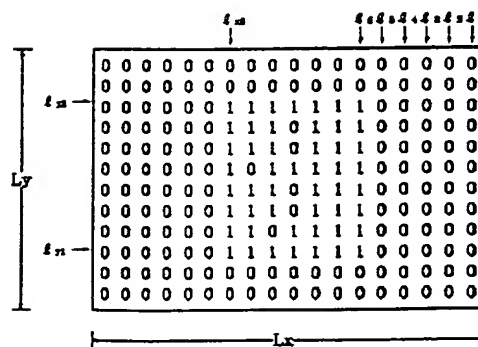
【図 2 5】



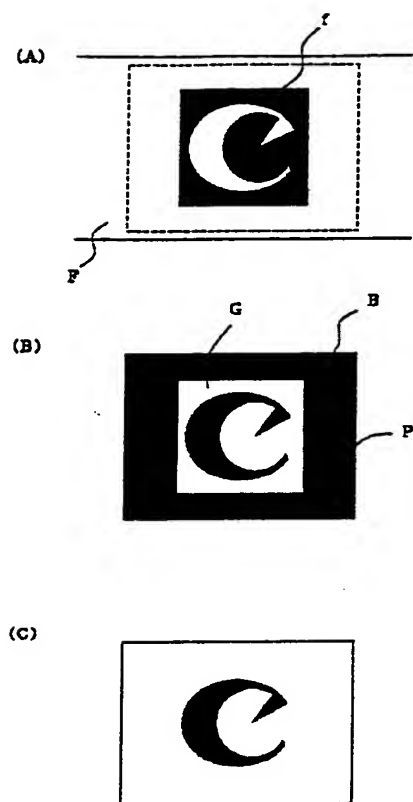
【図 2 7】



【図 2 9】



【図 28】



【図 30】

